

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT application of)	
Keisuke MIYAGAMA et al)	Group Art Unit: Not Yet Assigned
Application No. Not Yet Assigned)	Examiner: Not Yet Assigned
Filed: July 23, 2003)	
For: ELECTRICAL INSPECTION METHOD AND)	Date: July 23, 2003
METHOD OF FABRICATING SEMICONDUCTOR)	
DISPLAY DEVICES)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-218705	July 26, 2002

In support of this claim, enclosed is a certified copy of said prior foreign application.

Acknowledgment of receipt of this certified copy is requested.

Respectfully submitted,

By: _____

Jeffrey L. Costellia
Registration No. 35,483

NIXON PEABODY LLP
8180 Greensboro Drive, Suite 800
McLean, Virginia 22102
Telephone: (703) 770-9300

JLC/sas

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月26日

出願番号

Application Number:

特願2002-218705

[ST.10/C]:

[JP2002-218705]

出願人

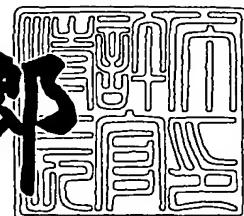
Applicant(s):

株式会社半導体エネルギー研究所

2003年 5月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040243

【書類名】 特許願

【整理番号】 P006515

【提出日】 平成14年 7月26日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 宮川 恵介

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】 電氣的検査方法及び半導体表示装置の作製方法

【特許請求の範囲】

【請求項 1】

信号線と第 1 の電源線を接続することで電源電圧を前記信号線に供給し、
画素に前記電源電圧を供給することで保持容量に所定の電荷を蓄積させ、
前記信号線と前記第 1 の電源線を切り離して前記信号線と第 2 の電源線を接続
した後、前記蓄積された電荷を前記信号線及び前記第 2 の電源線を介して読み出
し、前記読み出された電荷を用いて前記画素を検査することを特徴とする電氣的
検査方法。

【請求項 2】

信号線と第 1 の電源線を接続することで第 1 の電源電圧を前記信号線に供給し

画素に前記第 1 の電源電圧を供給することで保持容量に所定の電荷を蓄積させ

前記信号線と前記第 1 の電源線を切り離して前記信号線と第 2 の電源線を接続
した後、前記蓄積された電荷を前記信号線及び前記第 2 の電源線を介して読み出
し、前記読み出された電荷を用いて前記画素を検査する電氣的検査方法であって

前記信号線と前記第 2 の電源線を接続した後、前記蓄積された電荷を読み出す
前に、前記信号線及び前記第 2 の電源線に第 2 の電源電圧を供給することを特徴
とする電氣的検査方法。

【請求項 3】

スイッチング素子と保持容量とを各画素に有する素子基板の電氣的検査方法で
あって、
第 1 の電源電圧が供給された第 1 の電源線を信号線と接続し、なおかつ前記ス
イッチング素子をオンにして前記信号線と前記保持容量とを接続し、
前記スイッチング素子をオフにし、
前記第 1 の電源線と前記信号線とを切り離した後、第 2 の電源線と前記信号線

を接続し、なおかつ前記第2の電源線に第2の電源電圧を供給した後フローティングにし、

前記スイッチング素子をオンにすることで、前記信号線及び前記第2の電源線を介して前記保持容量に保持されている電荷を読み出し、前記電荷の量を用いて前記画素の検査をすることを特徴とする電氣的検査方法。

【請求項4】

スイッチング素子と保持容量とを各画素に有する素子基板の電氣的検査方法であって、

第1の電源電圧が供給された第1の電源線を信号線と接続し、なおかつ前記スイッチング素子をオンにして前記信号線と前記保持容量とを接続することで、前記保持容量に電荷を蓄積し、

前記スイッチング素子をオフにし、

前記第1の電源線と前記信号線とを切り離した後、第2の電源線と前記信号線を接続し、なおかつ前記第2の電源線に第2の電源電圧を供給した後フローティングにし、

前記スイッチング素子をオンにすることで、前記信号線及び前記第2の電源線を介して前記保持容量に保持されている電荷を読み出し、前記電荷の量を用いて前記画素の検査をすることを特徴とする電氣的検査方法。

【請求項5】

請求項3または請求項4において、

前記第1の電源電圧は、前記素子基板に設けられた接続端子を介して前記第1の電源線に供給されていることを特徴とする電氣的検査方法。

【請求項6】

請求項3乃至請求項5のいずれか1項において、

前記第2の電源電圧は、前記素子基板に設けられた接続端子を介して前記第2の電源線に供給されていることを特徴とする電氣的検査方法。

【請求項7】

請求項2乃至請求項6のいずれか1項において、

前記第1の電源電圧と前記第2の電源電圧は互いに高さが異なっていることを

特徴とする電氣的検査方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、

前記第 1 の電源線と前記信号線との接続及び前記第 2 の電源線と前記信号線との接続は、インバータにより制御されていることを特徴とする電氣的検査方法。

【請求項 9】

各画素に保持容量が設けられた半導体表示装置の作製方法であって、

信号線と第 1 の電源線を接続することで電源電圧を前記信号線に供給し、

前記画素に前記電源電圧を供給することで前記保持容量に所定の電荷を蓄積させ、

前記信号線と前記第 1 の電源線を切り離して前記信号線と第 2 の電源線を接続した後、前記蓄積された電荷を前記信号線及び前記第 2 の電源線を介して読み出し、前記読み出された電荷を用いて前記画素を検査する工程を含むことを特徴とする半導体表示装置の作製方法。

【請求項 10】

各画素に保持容量が設けられた半導体表示装置の作製方法であって、

信号線と第 1 の電源線を接続することで第 1 の電源電圧を前記信号線に供給し

前記画素に前記第 1 の電源電圧を供給することで前記保持容量に所定の電荷を蓄積させ、

前記信号線と前記第 1 の電源線を切り離して前記信号線と第 2 の電源線を接続した後、前記蓄積された電荷を前記信号線及び前記第 2 の電源線を介して読み出し、前記読み出された電荷を用いて前記画素を検査する工程を含み、

前記信号線と前記第 2 の電源線を接続した後、前記蓄積された電荷を読み出す前に、前記信号線及び前記第 2 の電源線に第 2 の電源電圧を供給することを特徴とする半導体表示装置の作製方法。

【請求項 11】

各画素にスイッチング素子と保持容量が設けられた半導体表示装置の作製方法であって、

第 1 の電源電圧が供給された第 1 の電源線を信号線と接続し、なおかつ前記スイッチング素子をオンにして前記信号線と前記保持容量とを接続し、

前記スイッチング素子をオフにし、

前記第 1 の電源線と前記信号線とを切り離した後、第 2 の電源線と前記信号線を接続し、なおかつ前記第 2 の電源線に第 2 の電源電圧を供給した後フローティングにし、

前記スイッチング素子をオンにすることで、前記信号線及び前記第 2 の電源線を介して前記保持容量に保持されている電荷を読み出し、前記電荷の量を用いて前記画素の検査を工程を含むことを特徴とする半導体表示装置の作製方法。

【請求項 1 2】

各画素にスイッチング素子と保持容量が設けられた半導体表示装置の作製方法であって、

第 1 の電源電圧が供給された第 1 の電源線を信号線と接続し、なおかつ前記スイッチング素子をオンにして前記信号線と前記保持容量とを接続することで、前記保持容量に電荷を蓄積し、

前記スイッチング素子をオフにし、

前記第 1 の電源線と前記信号線とを切り離した後、第 2 の電源線と前記信号線を接続し、なおかつ前記第 2 の電源線に第 2 の電源電圧を供給した後フローティングにし、

前記スイッチング素子をオンにすることで、前記信号線及び前記第 2 の電源線を介して前記保持容量に保持されている電荷を読み出し、前記電荷の量を用いて前記画素の検査をする工程を含むことを特徴とする半導体表示装置の作製方法。

【請求項 1 3】

請求項 1 1 または請求項 1 2 において、

前記第 1 の電源電圧は、前記素子基板に設けられた接続端子を介して前記第 1 の電源線に供給されていることを特徴とする半導体表示装置の作製方法。

【請求項 1 4】

請求項 1 1 乃至請求項 1 3 のいずれか 1 項において、

前記第 2 の電源電圧は、前記素子基板に設けられた接続端子を介して前記第 2

の電源線に供給されていることを特徴とする半導体表示装置の作製方法。

【請求項 1 5】

請求項 1 0 乃至請求項 1 4 のいずれか 1 項において、

前記第 1 の電源電圧と前記第 2 の電源電圧は互いに高さが異なっていることを特徴とする半導体表示装置の作製方法。

【請求項 1 6】

請求項 9 乃至請求項 1 5 のいずれか 1 項において、

前記第 1 の電源線と前記信号線との接続及び前記第 2 の電源線と前記信号線との接続は、インバータにより制御されていることを特徴とする半導体表示装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アクティブマトリクス型の半導体表示装置の作製過程または完成後において、画素部の電氣的検査方法（以下、単に検査方法と呼ぶ）に関する。さらに本発明は、該検査方法を用いた半導体表示装置の作製方法に関する。

【0 0 0 2】

【従来の技術】

近年、絶縁表面上に形成された厚さ数～数百 n m 程度の半導体膜を用いて、薄膜トランジスタ（T F T）を作製する技術が注目されている。その理由は、T F T をスイッチング素子として用いるアクティブマトリクス型の半導体表示装置の需要が高まってきたことによる。アクティブマトリクス型の半導体表示装置には、代表的には液晶表示装置、発光装置、D M D（Digital Micromirror Device）等が挙げられる。

【0 0 0 3】

アクティブマトリクス型の半導体表示装置は、マトリクス状に区切られた数十～数百万個の領域に相当する画素に、それぞれスイッチング素子が配置されている。該スイッチング素子により、各画素に配置された半導体素子への電圧または電流の入力が制御される。なお、以下電圧とは、特に記載のない限り特定の固定

電位との電位差を意味するものとする。

【0004】

そして、画素を選択するための走査線駆動回路や、選択された画素にビデオ信号を入力するための信号線駆動回路等の駆動回路を、画素が配置された画素部と同一の基板へ一体形成する技術、所謂システムオンパネル化が実現されつつある。システムオンパネル化により接続端子の数を激減させることができるので、接続端子を配置するスペースを削減でき、接続不良の発生確率を抑えて歩留りを向上させることができる。

【0005】

【発明が解決しようとする課題】

ところでアクティブマトリクス型の半導体表示装置（以下、単に半導体表示装置と呼ぶ）は、様々な作製工程を経て完成する。例えば液晶表示装置の場合、半導体膜の成膜とパターン形成を行なうパターン形成工程と、カラー化を実現するためのカラーフィルタ形成工程と、半導体を含む素子を有する素子基板と、対向電極を有する対向基板との間に液晶を封入して液晶パネルを形成するセル組立工程と、セル組立工程において組み立てられた液晶パネルに、該液晶パネルを動作させるための駆動部品やバックライトを取り付け、液晶表示装置として完成させるモジュール組み立て工程とを主に有している。

【0006】

なお素子基板とは、半導体表示装置を作製する過程において表示素子が完成する前の一形態に相当する。

【0007】

そして半導体表示装置の種類や仕様によって多少の違いはあるが、上記各工程の最後に検査工程が設けられていることがある。製品として完成する前に、工程の早い段階で不良品を見分けることができれば、そのパネルに関しては後の工程を省略することが可能である。よって検査工程はコスト削減という観点から見て、非常に有効な手段である。

【0008】

半導体表示装置が有する画素部の動作を確認するための、検査方法の原理につ

いて説明する。検査は画素が有する保持容量への電荷の蓄積と、該電荷の保持と、該電荷の読み出しの3つの段階を有する。

【0009】

まず図12(A)に示すように、画素が有するスイッチング素子1201がオンのときに、信号線に1202に検査用の信号（以下、検査信号と呼ぶ）を入力する。すると、該検査信号の電流または電圧によって、各画素に設けられた保持容量1203に電荷が蓄積される。

【0010】

次に図12(B)に示すように、スイッチング素子1201をオフにすると、保持容量1203に蓄積された電荷が保持される。

【0011】

そして図12(C)に示すように再びスイッチング素子1201をオンにし、保持容量1203に保持されている電荷を信号線1202を介して読み出す。読み出された電荷量によって、該画素への信号の入力及び保持容量における電荷の保持が正常に行なわれるかどうかを検査することができる。

【0012】

なお実際のパネルでは、信号線は直接接続端子に接続されていないので、信号線から接続端子まで電荷を読み出すための経路が必要である。この電荷を読み出すための経路として、従来ではビデオ信号線が一般的に用いられてきた。

【0013】

図13(A)に、一般的な半導体表示装置の素子基板の構成を示す。なお素子基板は、保持容量と、該保持容量における電荷の蓄積を制御するTFT等の半導体素子とが完成した状態であれば良く、なおかつ表示素子が完成する前の状態である。

【0014】

図13(A)では、信号線駆動回路1210において入力されたクロック信号(CK)とスタートパルス信号(SP)に同期して、シフトレジスタ1211がタイミング信号を生成し、サンプリング回路1212に入力する。サンプリング回路1212では、入力されたタイミング信号に同期してビデオ信号線と信号線

(S1～S4)とを電氣的に接続することができる。なお、以下接続とは、特に記載のない限り電氣的な接続を意味するものとする。

【0015】

上述した図13(A)に示す素子基板の場合、電荷の読み出しは該信号線からビデオ信号線 (Video signal line) を介して行なうことができる。よって検査のために素子基板の構成を変更する必要はなく、比較的容易に検査を行なうことが可能である。

【0016】

しかし近年、ビデオ信号のデジタル化、画素数の増加、画素内における半導体素子の接続構成の複雑化等によって、信号線駆動回路の構成が複雑化し、単純に信号線とビデオ信号線とを接続できなくなっている。

【0017】

図13(B)にデジタルのビデオ信号 (デジタルビデオ信号) を用いる半導体表示装置の素子基板の構成を示す。図13(B)では、信号線駆動回路1220において入力されたクロック信号 (CK) とスタートパルス信号 (SP) に同期して、シフトレジスタ1221がタイミング信号を生成し、ラッチ (Latch) 1222に入力する。ラッチ1222では、入力されたタイミング信号に同期してビデオ信号線に入力されたデジタルビデオ信号をラッチする。そしてラッチされたデジタルビデオ信号に従って、バッファとして機能するインバータ1223のスイッチングが制御され、電源電圧VDDまたはVSS ($VDD > VSS$) が信号線S1～S4に与えられる。

【0018】

上記構成の素子基板では、インバータ1223が有する2つのTFTのゲートにデジタルビデオ信号が入力されており、また信号線が該2つのTFTのドレインに接続されている。さらにビデオ信号線はラッチ1222の入力側に接続されているが、ラッチ1222の入力側と出力側が必ずしも接続可能であるとは限らない。したがって、図13(B)に示した信号線駆動回路を用いている場合、ビデオ信号線と信号線を電氣的に接続するのが難しく、電荷を読み出す経路としてビデオ信号線を用いることはできない。

【0019】

そこで上記構成を有する素子基板の検査には、電荷を読み出すための専用回路（検査専用回路）が用いられる。図13に示した素子基板に検査専用回路を接続した様子を、図14に示す。

【0020】

図14に示す検査専用回路1225は、電荷を読み出す経路として用いる検査専用の配線1228と各信号線S1～S4の接続を制御する検査用のサンプリング回路1227と、該検査用のサンプリング回路1227の動作を制御する検査用のシフトレジスタ1226が設けられている。

【0021】

上記構成によりビデオ信号線を電荷の読み出しの経路として用いる必要がないので、ビデオ信号線と信号線とが接続不可能であっても、電荷の読み出しを行なうことができる。

【0022】

しかし図14に示したように検査専用回路を用いる場合も、幾つかの問題点がある。

【0023】

まず検査専用回路を素子基板の外部に設けた場合、接続端子を介して信号線と検査専用回路とを接続する必要が生じる。そのため、素子基板側に検査専用回路用の接続端子を設けなくてはならず、該接続端子用のスペースが検査終了後に無駄になる。また接続端子の配置場所を確保するためだけに基板の面積を拡大することは、半導体表示装置の小型化を妨げる要因ともなり望ましくない。

【0024】

また、検査専用回路を画素部と同一基板上に作り込む場合、検査専用回路は製品として出荷する際には不要であるので半導体表示装置の小型化を妨げる要因となる。そして検査終了後に基板の切断によって検査専用回路を切り離すとしても、マザーガラスとなる大型基板1枚から作製される素子基板の枚数が、検査専用回路の占めるスペースによって少なくなってしまう。

【0025】

上述した問題に鑑み本発明では、ビデオ信号線を電荷の読み出しの経路として用いず、なおかつ検査専用回路を別途設ずに、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれるかどうかを検査することができる、半導体表示装置の電氣的検査方法の提供を課題とする。

【 0 0 2 6 】

【課題を解決するための手段】

本発明者は、信号線とビデオ信号線が接続されない場合、ビデオ信号に従って電源電圧の信号線への供給を制御する回路または回路素子が信号線駆動回路に設けられていることに注目し、電源電圧の供給経路である電源線を、電荷の読み出しの経路として用いることを考えた。本発明は、信号線と接続することが可能な2つの電源線を、一方を各画素の保持容量への検査信号の入力の経路として、他方を各画素の保持容量からの電荷の読み出しの経路として用いることを特徴とする。

【 0 0 2 7 】

図1を用いて、本発明の検査方法の概念について説明する。図1において破線100で囲んだ領域が画素に相当し、該画素は入力された信号により蓄積された電荷を保持する保持容量101と、該保持容量101への信号の入力を制御するスイッチング素子102とを有している。103はビデオ信号に従って信号線 S_i ($i = 1 \sim x$) と電源線104a、104bとの接続を制御する手段に相当し、ここでは接続制御回路と呼ぶ。接続制御回路103は信号線と電源線との接続を制御する手段であれば良く、例えばインバータ、クロックドインバータ、アナログスイッチ等が含まれる。

【 0 0 2 8 】

電源線104bには電源電圧 V_{SS} が供給されている。

【 0 0 2 9 】

電源線のいずれか1つ（ここでは例えば電源線104a）は、接続端子105を介して、素子基板の外部に設けられた測定手段106と接続されている。測定手段106は、接続端子105への電源電圧 V_{DD} の供給を制御する手段と、電荷量を測定する測定点Aへの電源電圧 V_{DD} の供給を制御する手段と、測定点A

と接続端子との接続を制御する手段とを有する。なおこれら3つの手段のうち複数の手段を1つの手段で賄うようにしても良い。

【0030】

具体的に図1では、接続端子105への電源電圧VDDの供給は第1のスイッチSW1で制御されており、測定点Aと接続端子との接続は第2のスイッチSW2で制御されている。そして、SW1及びSW2により測定点Aへの電源電圧VDDの供給が制御される。つまり、第1のスイッチSW1は電源線104aと電源電圧VDDを供給する電源（図示せず）との接続を制御している。

【0031】

次に、検査時における素子基板と測定手段の動作について説明する。検査方法は、画素が有する保持容量への電荷の蓄積と、該電荷の保持と、測定点における電圧のプリチャージと、該電荷の読み出しの4つの段階に分けて説明することができる。

【0032】

まず第1の段階として、検査用のダミーのビデオ信号により接続制御回路103を制御し、信号線Siと電源線104bとを接続することで、信号線Siに検査信号に相当する電源電圧VSSを供給する。さらにスイッチング素子102をオンすることで、電源電圧VSSにより保持容量101に電荷が蓄積される。

【0033】

次に第2の段階として、スイッチング素子102をオフにし、保持容量101に電荷が保持される状態にする。

【0034】

次に第3の段階として、SW1をオン、SW2をオンにし、また検査用のダミーのビデオ信号により接続制御回路103を制御し、信号線Siと電源線104aとを接続する。上記構成により、測定点Aから信号線Siまでの経路に電源電圧VDDが供給されることで、測定点がプリチャージされた状態になる。

【0035】

次に第4の段階として、SW1をオフ、SW2をオンにし、測定点Aをフローティングの状態にする。そして、スイッチング素子102をオンにして測定点A

の電圧もしくは電流、またはそれらの波形を測定することで、各画素の保持容量に蓄積されている電荷を読み出すことができ、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれるかどうかを確認することができる。

【 0 0 3 6 】

図 1 の場合、検査信号の電圧を V_{SS} とし、読み出し直前における測定点 A の電圧を V_{DD} としていることから、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれている場合、電荷の読み出しにより測定点 A の電圧もしくは電流、またはそれらの波形は、読み出された電荷の分だけ変動する。

【 0 0 3 7 】

また、第 2 の段階の動作と第 3 の段階の動作とを同時に行なうことで、検査の迅速化を図ることができる。

【 0 0 3 8 】

上記構成によって、ビデオ信号線を電荷の読み出しの経路として用いる必要がないので、信号線駆動回路においてビデオ信号線と信号線とが接続不可能であっても電荷の読み出しを行なうことができる。また検査専用回路を設ける必要がないので半導体表示装置の小型化を妨げるのを防ぐことができ、大型基板 1 枚から作製される素子基板の枚数が検査専用回路の占めるスペースによって少なくなってしまうのを防ぐことができる。また素子基板の構成自体を変更することなく、容易に検査を行うことができる。

【 0 0 3 9 】

なお本発明の検査方法は、デジタルビデオ信号を用いて表示を行う発光装置の素子基板に限らず、アナログビデオ信号を用いて表示を行う発光装置の素子基板にも用いることが可能である。

【 0 0 4 0 】

また、表示素子を形成した後、または半導体表示装置が完成した後に本発明の検査方法を用いることも可能である。

【 0 0 4 1 】

【発明の実施の形態】

(実施の形態 1)

本実施の形態では、本発明の検査方法について詳細に説明する。

【0042】

図2(A)に、検査を行う素子基板と、測定手段の構成を示す。素子基板には画素部201と、信号線駆動回路202と、走査線駆動回路203とが設けられている。画素部201には信号線S1～S4と、走査線G1～G3が設けられている。なお画素部に設けられる配線は上記信号線と走査線とに限定されず、それ以外の配線が設けられていてもよく、また信号線と走査線の数はいかに限定されない。

【0043】

信号線と走査線とを1つずつ含む領域が画素204に相当し、画素部201には複数の画素204が設けられている。各画素にはスイッチング素子が設けられており、図2(A)ではスイッチング素子としてTFT205を用いている。さらに各画素には保持容量206が設けられている。

【0044】

信号線駆動回路202はシフトレジスタ207と、ラッチ208と、インバータ209とを有している。インバータ209は接続制御回路に相当し、ラッチ208から入力されるビデオ信号によって電源線210a、210bと信号線S1～S4との接続を制御することができる。

【0045】

インバータ209はnチャネル型TFTとpチャネル型TFTを1つずつ有する。そして、該2つのTFTはゲートが互いに接続されており、pチャネル型TFTのソースは電源線210aに、nチャネル型TFTのソースが電源線210bに接続されている。さらに該2つのTFTはドレインが互いに接続されている。

【0046】

また電源線210aは測定手段211と接続されており、電源線210bは電源電圧VSSが供給されている。

【0047】

測定手段211は、接続端子への電源電圧VDDの供給を制御する第1のスイ

ツチ SW1 と、電荷量を測定する測定点 A と接続端子との接続を制御する第 2 のスイッチ SW2 とを有しており、SW1 及び SW2 により測定点 A への電源電圧 VDD の供給が制御される。

【 0 0 4 8 】

次に、検査時における素子基板と測定手段の動作について説明する。上述したように本発明の検査方法は、画素が有する保持容量への電荷の蓄積と、該電荷の保持と、測定点における電圧のプリチャージと、該電荷の読み出しの 4 つの段階に分けて説明することができる。

【 0 0 4 9 】

第 1 の段階において、走査線 G1 ～ G3 に入力される信号と、インバータ 209 が有する 2 つの TFT のゲート（図 2（A）においてノード N1 ～ N4 として示す）に入力される信号の、タイミングチャートを図 3 に示す。また図 5（A）に、第 1 の段階における測定手段 211 と、インバータ 209 と、画素 204 が有する TFT 205 及び保持容量 206 の動作を簡略的に示す。なお図 5 において Si は S1 ～ S4 のいずれか 1 つを意味し、Gj は G1 ～ G3 のいずれか 1 つを意味する。

【 0 0 5 0 】

第 1 の段階では、検査用のダミーのビデオ信号により接続制御回路に相当するインバータ 209 を制御し、信号線 S1 ～ S4 と電源線 210b とを接続することで、信号線 S1 ～ S4 に検査信号に相当する電源電圧 VSS を供給する。そして、走査線駆動回路 203 により走査線 G1 ～ G3 を順にまたは同時に選択することによって、各画素のスイッチング素子 205 をオンにし、保持容量 206 に電源電圧 VSS に相当する電荷を蓄積する。なお図 2（A）では走査線 G1 ～ G3 を順に選択している。

【 0 0 5 1 】

次に第 2 の段階の動作が開始される。第 2 の段階では、全画素の TFT 205 をオフにし、保持容量 206 に電荷が保持される状態にする。

【 0 0 5 2 】

次に第 3 の段階の動作が開始される。第 3 の段階では、SW1 をオン、SW2

をオンにし、また検査用のダミーのビデオ信号によりインバータ 2 0 9 を制御し、信号線 S 1 ~ S 4 と電源線 2 0 4 a とを接続する。上記構成により、測定点 A から信号線 S 1 ~ S 4 までの経路に電源電圧 V D D が供給されることで、測定点がプリチャージされた状態になる。

【 0 0 5 3 】

なお、第 2 の段階と第 3 の段階の動作は互いに並行して行なわれていても良い。図 5 (B) に、第 2 の段階と第 3 の段階における、測定手段 2 1 1 と、インバータ 2 0 9 と、画素 2 0 4 が有する T F T 2 0 5 及び保持容量 2 0 6 の動作を簡略的に示す。

【 0 0 5 4 】

次に第 4 の段階の動作が開始される。第 4 の段階において、走査線 G 1 ~ G 3 に入力される信号と、ノード N 1 ~ N 4 に入力される信号の、タイミングチャートを図 4 に示す。また図 5 (C) に、第 4 の段階における測定手段 2 1 1 と、インバータ 2 0 9 と、画素 2 0 4 が有する T F T 2 0 5 及び保持容量 2 0 6 の動作を簡略的に示す。

【 0 0 5 5 】

次に第 4 の段階では、S W 1 をオフ、S W 2 をオンにする。そして検査用のダミーのビデオ信号によりインバータ 2 0 9 を制御し、各信号線 S 1 ~ S 4 を順に電源線 2 1 0 a に接続する。そして、信号線の 1 つが電源線 2 1 0 a に接続されている各期間において、走査線駆動回路 2 0 3 により走査線 G 1 ~ G 3 を順に選択することによって、各行の画素の T F T 2 0 5 をオンする。そして測定点 A の電圧もしくは電流、またはそれらの波形を測定することで、電源線 2 1 0 b に接続されている一の信号線を介して、該一の信号線に T F T 2 0 5 が接続されている画素の保持容量 2 0 6 から、順に電荷を読み出すことができる。読み出された電荷量から画素への信号の入力及び保持容量における電荷の保持が正常に行なわれるかどうかを確認することができる。

【 0 0 5 6 】

図 2 (A) に示すように、センスアンプ 2 3 0 を用いて測定点 A の電流の変動を測定しても良い。ただしセンスアンプに供給する固定電圧は、プリチャージの

電源電圧と同じにする。

【0057】

(実施の形態2)

本実施の形態では、図2(A)に示した素子基板の電源線210bを電荷の読み出しの経路として用いる例について説明する。

【0058】

図6に、検査を行う素子基板と、測定手段の構成を示す。なお素子基板は図2(A)に示したものと同一構成を有しており、既に示したものは同じ符号を付している。

【0059】

図6において測定手段211は、接続端子への電源電圧VSSの供給を制御する第1のスイッチSW1と、電荷量を測定する測定点Aと接続端子との接続を制御する第2のスイッチSW2とを有しており、SW1及びSW2により測定点Aへの電源電圧VSSの供給が制御される。

【0060】

検査時における測定手段の各スイッチの動作は、実施の形態1の場合と同じである。また検査方法は実施の形態1の場合と同様に、画素が有する保持容量への電荷の蓄積と、該電荷の保持と、測定点における電圧のプリチャージと、該電荷の読み出しの4つの段階に分けて説明することができる。ただし、各段階において信号線S1～S4と電源線210a、210bとの接続の仕方が異なる。

【0061】

実施の形態1では、第1の段階において信号線S1～S4が電源線210bに接続され、検査信号として電源電圧VSSが印加される。しかし本実施の形態では第1の段階において信号線S1～S4を電源線210aに接続し、検査信号として電源電圧VDDを印加する。

【0062】

また実施の形態1では第3の段階において、信号線S1～S4と電源線204aとを接続し、測定点Aから信号線S1～S4までの経路に電源電圧VDDを供給する。しかし本実施の形態では第3の段階において、信号線S1～S4と電源

線 2 0 4 b とを接続し、測定点 A から信号線 S 1 ~ S 4 までの経路に電源電圧 V S S を供給する。

【 0 0 6 3 】

また実施の形態 1 では第 4 の段階において、各信号線 S 1 ~ S 4 を順に電源線 2 1 0 a に接続する。しかし本実施の形態では第 4 の段階において、各信号線 S 1 ~ S 4 を順に電源線 2 1 0 b に接続する。

【 0 0 6 4 】

(実施の形態 3)

本実施の形態では、検査時における画素の構成と、検査終了後の表示素子が完成した状態における画素の構成について説明する。

【 0 0 6 5 】

図 7 (A) に検査時における画素の一例を示す。図 7 (A) に示す画素は、図 2 (A) と、図 6 に示した素子基板の画素の構成と同じである。3 0 1 はスイッチング素子として機能する T F T であり、図 2 (A) と、図 6 に示した素子基板では n チャネル型 T F T を用いているが、p チャネル型 T F T であっても良い。

【 0 0 6 6 】

また 3 0 2 は保持容量である。T F T 3 0 1 のゲートは走査線 G j (j = 1 ~ y) に接続されている。T F T 3 0 1 のソースとドレインは、一方は信号線 S i (i = 1 ~ x) に接続されており、もう一方は保持容量 3 0 2 の一方の電極に接続されている。そして保持容量 3 0 2 のもう一方の電極には電源の電圧が印加される。

【 0 0 6 7 】

図 7 (A) に示した画素の検査終了後、表示素子の 1 つである液晶セルを形成した場合の画素の一例を、図 7 (B) に示す。図 7 (B) において 3 0 3 は液晶セルを意味しており、液晶セル 3 0 3 は画素電極と、対向電極と、該 2 つの電極間に挟まれた液晶を含む層 (液晶層) とを有している。液晶セル 3 0 3 の画素電極は、T F T 3 0 1 のソースとドレインのうち、信号線 S i に接続されている方とは異なる一方に接続されている。また液晶セル 3 0 3 の対向電極は、電源の電圧が印加される保持容量 3 0 2 の一方の電極と接続されている。

【0068】

TFT301がオフしている際に、液晶セル303の画素電極と対向電極の間に印加される電圧は、保持容量302によって保持される。

【0069】

次に、図7(C)に検査時における画素の、別の一例を示す。311はスイッチング素子として機能するTFTであり、その極性は限定されない。また312は保持容量であり、TFT313は後に形成される表示素子に供給する電流を制御するための素子である。

【0070】

TFT311のゲートは走査線 G_j ($j = 1 \sim y$) に接続されている。TFT311のソースとドレインは、一方は信号線 S_i ($i = 1 \sim x$) に接続されており、もう一方はTFT313のゲートに接続されている。TFT313のソースとドレインのいずれか一方は、電流供給線 V_i ($i = 1 \sim x$) に接続されている。保持容量312の2つの電極は、一方はTFT313のゲートに接続されており、もう一方は電流供給線 V_i に接続されている。

【0071】

図7(C)に示した画素の検査終了後、表示素子の1つである発光素子を形成した場合の画素の一例を、図7(D)に示す。発光素子は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる電界発光材料を含む層 (以下、電界発光層と記す) と、陽極と、陰極とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層はそれぞれ有機化合物単独で形成されていても良いし、無機化合物単独で形成されていても良い。また有機化合物と無機化合物が混合されている材料で形成されていても良いし、これらの層どうしが互いに一部混合していても良い。

【0072】

図7(D)において314は発光素子を意味しており、発光素子314の陽極が、TFT313のソースとドレインのうち、電流供給線 V_i に接続されている方とは異なる一方に接続されている。また発光素子314の陰極には電源の電圧が印加される。

【 0 0 7 3 】

TFT 3 1 1 がオフしている際に、TFT 3 1 3 のゲート電圧が保持容量 3 1 2 によって保持される。

【 0 0 7 4 】

なお発光素子 3 1 4 の陽極と陰極は逆に接続されていても良い。具体的には、発光素子 3 1 4 の陰極が、TFT 3 1 3 のソースとドレインのうち、電流供給線 V_i に接続されている方とは異なる一方に接続され、また発光素子 3 1 4 の陽極に電源の電圧が印加されるようにしても良い。

【 0 0 7 5 】

次に、図 7 (E) に検査時における画素の、別の一例を示す。3 2 1 はスイッチング素子として機能する TFT であり、その極性は限定されない。3 2 2 は保持容量である。また、TFT 3 2 3 は後に形成される表示素子に供給する電流を制御するための素子である。TFT 3 2 4 は TFT 3 2 3 のゲート電圧を制御するための素子である。

【 0 0 7 6 】

TFT 3 2 1 のゲートは第 1 の走査線 G_{aj} ($j = 1 \sim y$) に接続されている。TFT 3 2 1 のソースとドレインは、一方は信号線 S_i ($i = 1 \sim x$) に接続されており、もう一方は TFT 3 2 3 のゲートに接続されている。TFT 3 2 4 のゲートは第 2 の走査線 G_{bj} ($j = 1 \sim y$) に接続されている。TFT 3 2 4 のソースとドレインは、一方は電流供給線 V_i ($i = 1 \sim x$) に接続されており、もう一方は TFT 3 2 3 のゲートに接続されている。TFT 3 2 3 のソースとドレインのいずれか一方は、電流供給線 V_i ($i = 1 \sim x$) に接続されている。保持容量 3 2 2 の 2 つの電極は、一方は TFT 3 2 3 のゲートに接続されており、もう一方は電流供給線 V_i に接続されている。

【 0 0 7 7 】

図 7 (E) に示した画素の検査終了後、表示素子の 1 つである発光素子を形成した場合の画素の一例を、図 7 (F) に示す。図 7 (F) において 3 2 5 は発光素子を意味しており、発光素子 3 2 5 の陽極が、TFT 3 2 3 のソースとドレインのうち、電流供給線 V_i に接続されている方とは異なる一方に接続されている。

。また発光素子 3 2 5 の陰極には電源の電圧が印加される。

【0078】

T F T 3 2 1 及び T F T 3 2 4 がオフしている際に、T F T 3 2 3 のゲート電圧が保持容量 3 2 2 によって保持される。

【0079】

なお発光素子 3 2 5 の陽極と陰極は逆に接続されていても良い。具体的には、発光素子 3 2 5 の陰極が、T F T 3 2 3 のソースとドレインのうち、電流供給線 V i に接続されている方とは異なる一方に接続され、また発光素子 3 2 5 の陽極に電源の電圧が印加されるようにしても良い。

【0080】

なお本発明の検査方法を用いる画素において、スイッチング素子は図 7 (A) ～図 7 (F) に示した構成に限らず、T F T やその他の半導体素子を単独または複数組み合わせて、1 つのスイッチング素子として用いることができる。

【0081】

また本発明の検査方法を用いる画素は、上記構成に限定されない。

【0082】

なお、実施の形態 1 ～ 3 では素子基板の検査について説明したが、表示素子を形成した後、または半導体表示装置が完成した後に本発明の検査方法を用いることも可能である。

【0083】

【実施例】

以下、本発明の実施例について説明する。

【0084】

(実施例 1)

本実施例では、本発明の検査方法を行なう際の画素の断面図と、検査終了後において発光素子が完成された画素の断面図について、図 7 (C)、図 7 (D) に示した画素の構成を例に挙げて説明する。

【0085】

図 8 (A) に、検査時における画素の断面図を示す。5 0 1 はスイッチング素

子として機能するTFTであり、502は後に形成される発光素子に供給する電流を制御するためのTFTであり、503は保持容量である。

【0086】

TFT501はソース又はドレインとして機能する不純物領域510、511と、該2つの不純物領域の間に設けられたチャンネル形成領域512と、ゲート絶縁膜513と、ゲートとして機能する電極514を有している。電極514はゲート絶縁膜513を間に挟んでチャンネル形成領域512と重なっている。

【0087】

TFT502はソース又はドレインとして機能する不純物領域520、521と、該2つの不純物領域の間に設けられたチャンネル形成領域522と、ゲート絶縁膜513と、ゲートとして機能する電極524を有している。電極524はゲート絶縁膜513を間に挟んでチャンネル形成領域522と重なっている。

【0088】

保持容量503は、一部に不純物領域531、532が形成された保持容量用の半導体膜530が、ゲート絶縁膜513を間に挟んで保持容量用の電極533と重なり合っている部分に相当する。

【0089】

そして、TFT501の不純物領域510は信号線として機能する配線540に接続されており、不純物領域511は配線541に接続されている。配線541は図8においては図示していないが、TFT502の電極524に直接または電氣的に接続されている。

【0090】

TFT502の不純物領域521は電流供給線として機能する配線542に接続されており、該配線542は保持容量用の半導体膜530が有する不純物領域531に接続されている。また図8においては図示していないが、保持容量用の電極533は、TFT524の電極524に直接または電氣的に接続されている。

【0091】

不純物領域520は配線543を介して陽極545に接続されている。



【 0 0 9 2 】

上記図 8 (A) に示した構成を有する素子基板において、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれているかどうかは本発明の検査方法により検査される。なお、本発明の検査方法は、検査信号の入力により保持容量に電荷を蓄積し、該電荷を保持し、読み出すという一連の動作を行なうことができる程度にまで画素が形成されている状態の素子基板であれば、実施可能である。よって図 8 (B) に示した発光装置の場合、陽極 5 4 5 を形成する前であっても、形成した後であっても行なうことが可能である。さらに、陽極となる導電膜を成膜した後、パターニングして陽極を形成する前の状態であっても検査が可能である。また発光素子を封止した後、半導体表示装置として完成してからでも検査が可能である。

【 0 0 9 3 】

そして検査終了後、図 8 (B) に示すように陽極上に電界発光層 5 4 6、陰極 5 4 7 を形成することで、発光素子 5 4 8 が完成する。実際には陰極 5 4 7 が形成された後、発光素子 5 4 8 が大気に曝されないように封止する。

【 0 0 9 4 】

(実施例 2)

本実施例では、電源線と接続配線との接続について説明する。図 9 に素子基板の上面図を示す。

【 0 0 9 5 】

図 9 に示す素子基板は、基板 4 0 0 1 上に、画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 とが設けられている。

【 0 0 9 6 】

4 0 0 6 は接続端子であり、接続端子 4 0 0 6 に入力された各種信号及び電源電圧は、基板 4 0 0 1 上に引き回された引き回し配線 4 0 0 5 を介して画素部 4 0 0 2、信号線駆動回路 4 0 0 3 または走査線駆動回路 4 0 0 4 に供給されている。

【 0 0 9 7 】

本発明の検査方法において、測定手段から与えられる検査信号としての電源電

圧や、プリチャージのための電源電圧、その他検査に際して画素部 4 0 0 2、信号線駆動回路 4 0 0 3 または走査線駆動回路 4 0 0 4 を動作させるのに必要となる各種信号及び電源電圧は、接続端子 4 0 0 6 を介して素子基板に供給される。また逆に電荷の読み出しも接続端子 4 0 0 6 を介して行なわれる。

【 0 0 9 8 】

(実施例 3)

本実施例では、図 2 (A) とは異なる素子基板の検査方法について説明する。

【 0 0 9 9 】

図 1 0 (A) に、本発明の検査方法を用いることができる素子基板の、信号線駆動回路の構成を示す。本実施例の信号線駆動回路 4 0 1 はシフトレジスタ 4 0 2、バッファ 4 0 3、サンプリング回路 4 0 4、電流変換回路 4 0 5 を有している。

【 0 1 0 0 】

シフトレジスタ 4 0 2 にクロック信号 (CK) とスタートパルス信号 (SP) が入力されると、タイミング信号が生成される。生成されたタイミング信号は、バッファ 4 0 3 において増幅または緩衝増幅されて、サンプリング回路 4 0 4 に入力される。なお、バッファの代わりにレベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【 0 1 0 1 】

サンプリング回路 4 0 4 では、ビデオ信号線 4 3 0 から入力されたアナログのビデオ信号を、タイミング信号に同期して後段の電流変換回路 4 0 5 に入力する。電流変換回路 4 0 5 では、入力されたアナログのビデオ信号の電圧に見合った大きさの電流を生成し、対応する各信号線 S 1 ~ S x に供給する。

【 0 1 0 2 】

図 1 0 (B) にサンプリング回路 4 0 4 と、電流変換回路 4 0 5 が有する電流設定回路 C 1 ~ C x の具体的な構成を示す。なおサンプリング回路 4 0 4 は、端子 4 1 0 においてバッファ 4 0 3 と接続されている。

【 0 1 0 3 】

サンプリング回路 4 0 4 には、複数のスイッチ 4 1 1 が設けられている。そし

てサンプリング回路 4 0 4 には、ビデオ信号線 4 3 0 からアナログのビデオ信号が入力されており、スイッチ 4 1 1 はタイミング信号に同期して、該アナログのビデオ信号をサンプリングし、後段の電流設定回路 C 1 に入力する。なお図 1 0 (B) では、電流設定回路 C 1 ~ C x のうち、サンプリング回路 4 0 4 が有するスイッチ 4 1 1 の 1 つに接続されている電流設定回路 C 1 だけを示しているが、各スイッチ 4 1 1 の後段に、図 1 0 (B) に示したような電流設定回路 C 1 が接続されているものとする。

【 0 1 0 4 】

サンプリングされたアナログのビデオ信号は、電流設定回路 C 1 が有する電流出力回路 4 1 2 に入力される。電流出力回路 4 1 2 は、入力されたビデオ信号の電圧に見合った値の電流を出力する。

【 0 1 0 5 】

電流出力回路 4 1 2 から出力された電流は、同じく電流設定回路 C 1 が有するリセット回路 4 1 7 に入力される。リセット回路 4 1 7 は、2 つのトランスミッションゲート 4 1 3、4 1 4 と、インバーター 4 1 6 と、を有している。

【 0 1 0 6 】

トランスミッションゲート 4 1 4 にはリセット信号 (R e s) が入力されており、トランスミッションゲート 4 1 3 には、インバーター 4 1 6 によって反転されたリセット信号 (R e s) が入力されている。そしてトランスミッションゲート 4 1 3 とトランスミッションゲート 4 1 4 は、反転したリセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【 0 1 0 7 】

そして、トランスミッションゲート 4 1 3 がオンのときに電流は対応する信号線に入力される。逆に、トランスミッションゲート 4 1 4 がオンのときに電源 4 1 5 の電圧が対応する信号線に与えられる。

【 0 1 0 8 】

図 1 1 に、検査を行う素子基板と、測定手段の構成を示す。なお図 1 0 において既に示したものは同じ符号を付す。図 1 1 に示す素子基板が有する画素 4 5 1

はスイッチング素子として機能する2つのTFT452、453と、信号線に供給される電流を電圧に変換し、スイッチング素子がオフになった後に該電圧を電流に変換するTFT454と、TFT454のドレイン電流の発光素子への供給を制御するTFT455と、保持容量456とを有している。

【0109】

具体的には、TFT452とTFT453はゲートが走査線Gjに接続されている。TFT452のソースとドレインは、一方は信号線Siに、もう一方はTFT454のドレインに接続されている。TFT453のソースとドレインは、一方はTFT454のドレインに、もう一方はTFT454のゲートに接続されている。TFT454のソースは電流供給線Viに接続されており、TFT455のソースとドレインのいずれか一方はTFT454のドレインに接続されている。

【0110】

また保持容量456が有する2つの電極は、一方はTFT454のゲートに、もう一方は電流供給線Viに接続されている。

【0111】

また、トランスマッションゲート413、414はそれぞれnチャネル型TFTとpチャネル型TFTを1つずつ有しており、該2つのTFTはソースとドレインが互いに接続されている。そして、トランスマッションゲート413が有するnチャネル型TFTと、トランスマッションゲート414が有するpチャネル型TFTはゲートが互いに接続されており、トランスマッションゲート413が有するpチャネル型TFTと、トランスマッションゲート414が有するnチャネル型TFTはゲートが互いに接続されている。

【0112】

また、トランスマッションゲート413、414のそれぞれにおいて、pチャネル型TFTのソースとnチャネル型TFTのドレインが接続されているノードをN1、pチャネル型TFTのドレインとnチャネル型TFTのソースが接続されているノードをN2とする。このとき、トランスマッションゲート413、414のノードN2は共に信号線Siに接続されており、トランスマッションゲート

ト 4 1 3 の ノード N 1 は電流出力回路 4 1 2 の出力側に接続されている。またトランスミッションゲート 4 1 4 のノード N 1 は、電源線 4 6 0 に接続されている。

【 0 1 1 3 】

電源線 4 6 0 は、素子基板に設けられた接続端子を介して測定手段 4 5 0 に接続されている。測定手段 4 5 0 は、接続端子への電源電圧 V D D の供給を制御する第 1 のスイッチ S W 1 と、電荷量を測定する測定点 A と接続端子との接続を制御する第 2 のスイッチ S W 2 とを有しており、S W 1 及び S W 2 により測定点 A への電源電圧 V D D の供給が制御される。

【 0 1 1 4 】

次に、検査時における素子基板と測定手段の動作について説明する。上述したように本発明の検査方法は、画素が有する保持容量への電荷の蓄積と、該電荷の保持と、測定点における電圧のプリチャージと、該電荷の読み出しの 4 つの段階に分けて説明することができる。

【 0 1 1 5 】

まず第 1 の段階として、リセット信号 R e s により接続制御回路として機能するトランスミッションゲート 4 1 3 をオフ、トランスミッションゲート 4 1 4 をオンにするよう制御する。そして、S W 1 をオンにすることで、電源線 4 6 0 を介して信号線 S i に検査信号としての電源電圧 V D D を供給する。さらに T F T 4 5 2、4 5 3 をオンすることで、電源電圧 V D D により保持容量 4 5 6 に電荷が蓄積される。

【 0 1 1 6 】

次に第 2 の段階として、T F T 4 5 2、4 5 3 をオフにし、保持容量 4 5 6 に電荷が保持される状態にする。

【 0 1 1 7 】

次に第 3 の段階として、S W 1 をオン、S W 2 をオンにし、またリセット信号 R e s によりトランスミッションゲート 4 1 3 をオフ、トランスミッションゲート 4 1 4 をオンした状態にし、信号線 S i と電源線 4 6 0 とを接続する。上記構成により、測定点 A から信号線 S i までの経路に電源電圧 V D D が供給されるこ

とで、測定点がプリチャージされた状態になる。

【0118】

次に第4の段階として、SW1をオフ、SW2をオンにする。そして、TFT 452、453をオンにして測定点Aの電圧もしくは電流、またはそれらの波形を測定することで、各画素の保持容量に蓄積されている電荷を読み出すことができ、画素への信号の入力及び保持容量456における電荷の保持が正常に行なわれるかどうかを確認することができる。

【0119】

図11の場合、検査信号の電圧をVDDとし、読み出し直前における測定点Aの電圧もVDDとしている。よって、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれている場合、測定点Aの電圧もしくは電流、またはそれらの波形は、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれていれば、電荷の読み出し時において変動が生じないか、無視できる程度の変動となるはずである。逆に、電荷の読み出し時において測定点Aの電圧もしくは電流、またはそれらの波形に、正常と見なされる範囲を逸脱した程度の変動が生じた場合は、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれていないと判断できる。

【0120】

また、第2の段階の動作と第3の段階の動作とを同時に行なうことで、検査の迅速化を図ることができる。

【0121】

【発明の効果】

本発明は上記構成によって、ビデオ信号線を電荷の読み出しの経路として用いる必要がないので、信号線駆動回路においてビデオ信号線と信号線とが接続不可能であっても電荷の読み出しを行なうことができる。また検査専用回路を設ける必要がないので半導体表示装置の小型化を妨げるのを防ぐことができ、大型基板1枚から作製される素子基板の枚数が検査専用回路の占めるスペースによって少なくなってしまうのを防ぐことができる。また素子基板の構成自体を変更することなく、容易に検査を行うことができる。

【図面の簡単な説明】

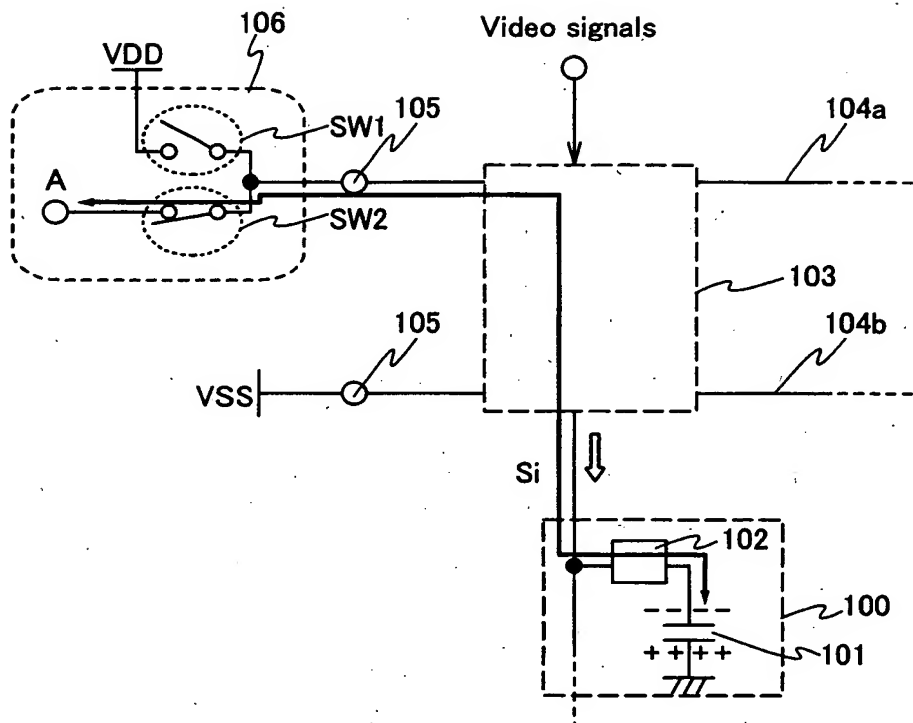
- 【図 1】 本発明の検査方法の上位概念を示す図。
- 【図 2】 素子基板と測定手段の接続関係を示す図。
- 【図 3】 検査時におけるタイミングチャート。
- 【図 4】 検査時におけるタイミングチャート。
- 【図 5】 検査時における測定手段と測定手段の接続関係を示す図。
- 【図 6】 素子基板と測定手段の接続関係を示す図。
- 【図 7】 検査時と検査終了後における画素構成を示す図。
- 【図 8】 検査時と検査終了後における画素の断面構造を示す図。
- 【図 9】 検査時における素子基板の上面図。
- 【図 1 0】 信号線駆動回路の構成を示す図。
- 【図 1 1】 素子基板と測定手段の接続関係を示す図。
- 【図 1 2】 検査方法の原理を示す図。
- 【図 1 3】 従来の検査方法を説明する図。
- 【図 1 4】 従来の検査方法を説明する図。

【符号の説明】

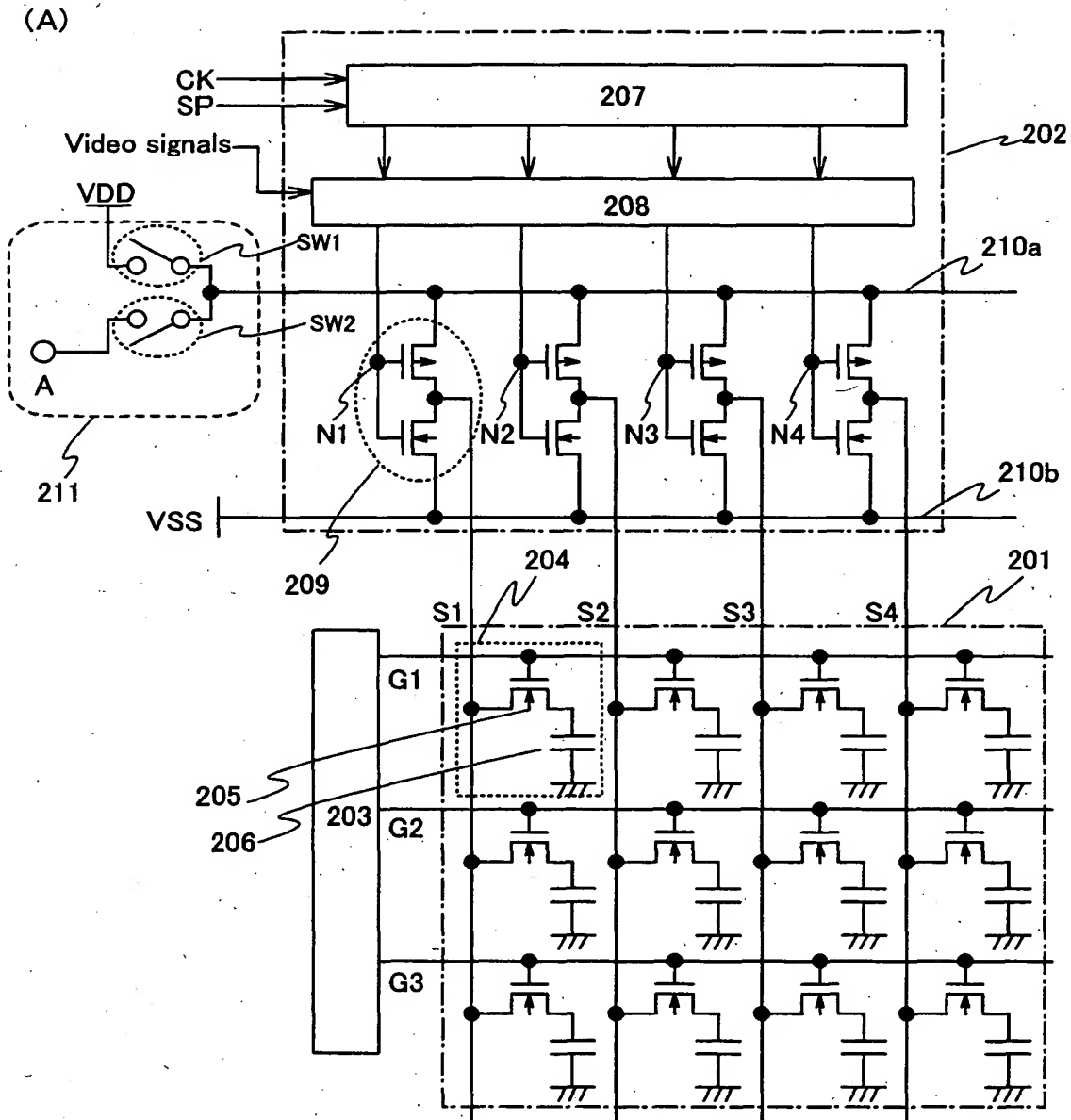
- 1 0 1 保持容量
- 1 0 2 スイッチング素子
- 1 0 3 接続制御回路
- 1 0 4 a 電源線
- 1 0 4 b 電源線
- 1 0 5 接続端子
- 1 0 6 測定手段

【書類名】 図面

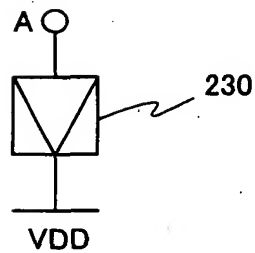
【図 1】



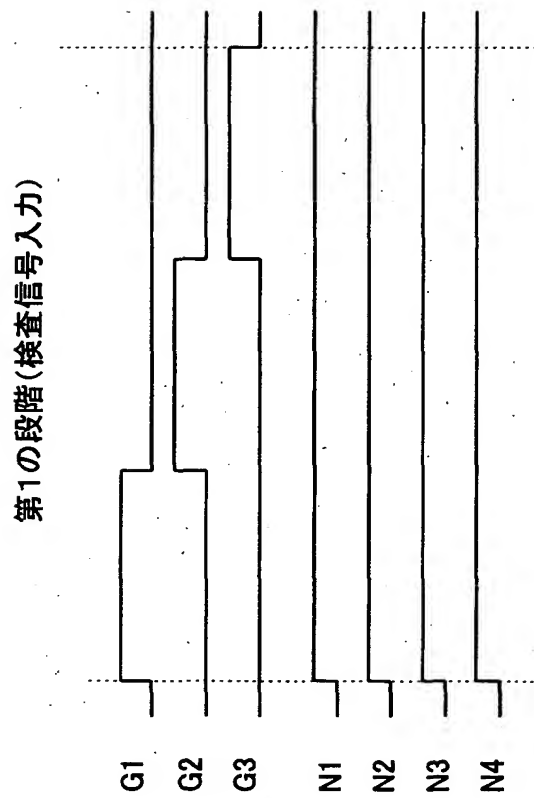
【図 2】



(B)

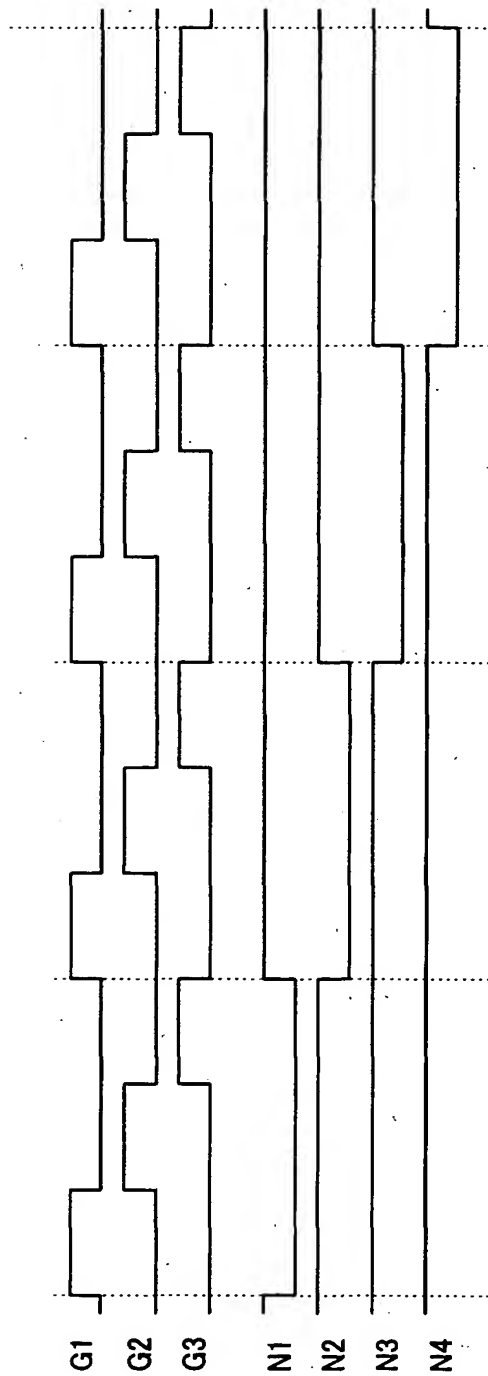


【図 3】



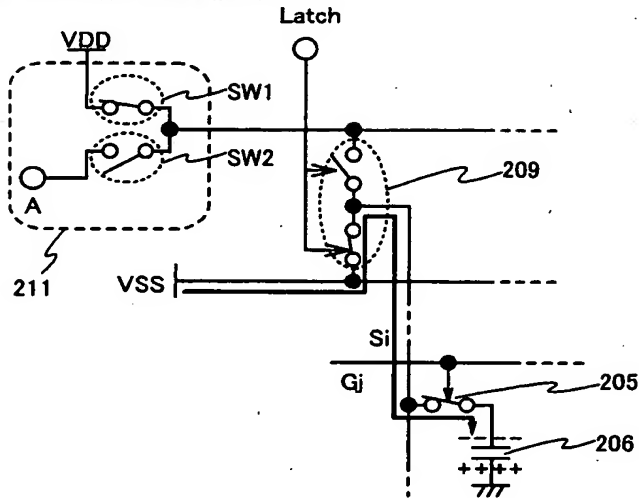
【図 4】

第4段階(検査信号読み出し)

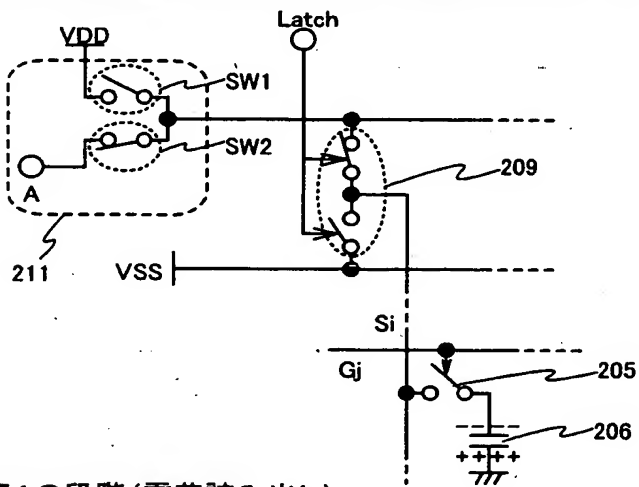


【図 5】

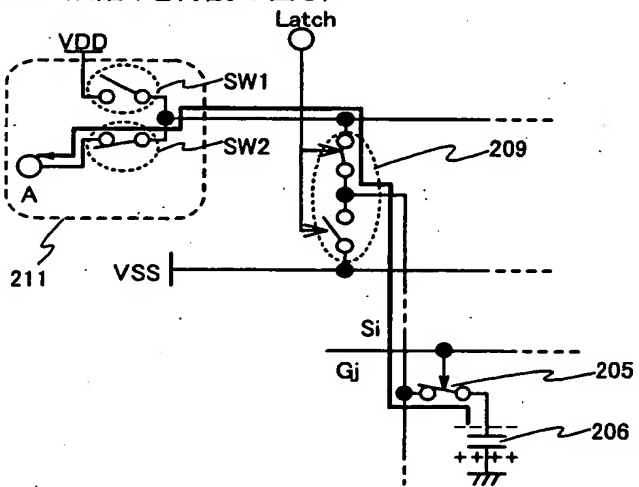
(A) 第1の段階(検査信号入力)



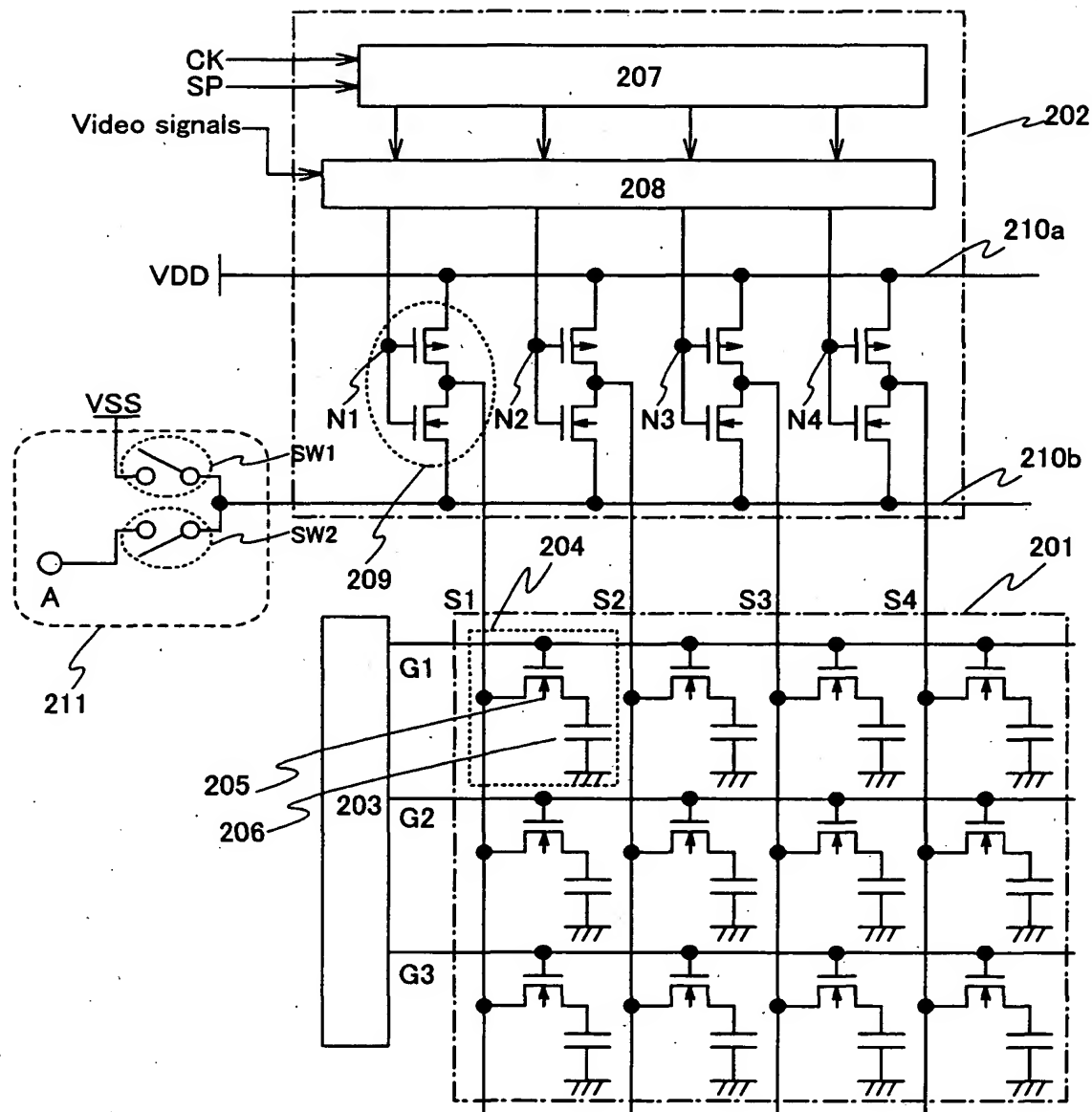
(B) 第2の段階(電荷の保持) 第3の段階(プリチャージ)



(C) 第4の段階(電荷読み出し)

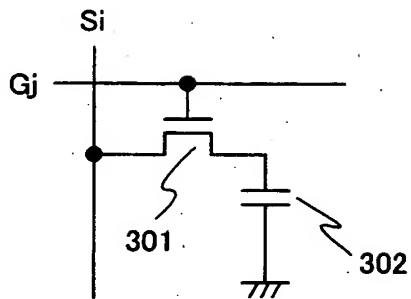


【図 6】

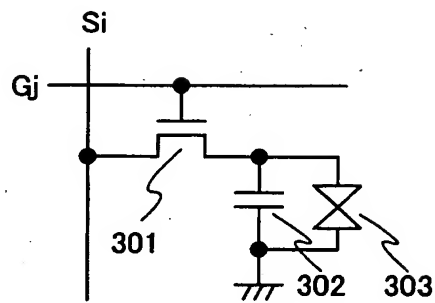


【図 7】

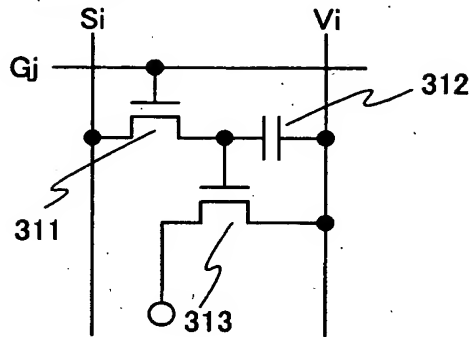
(A) 検査時



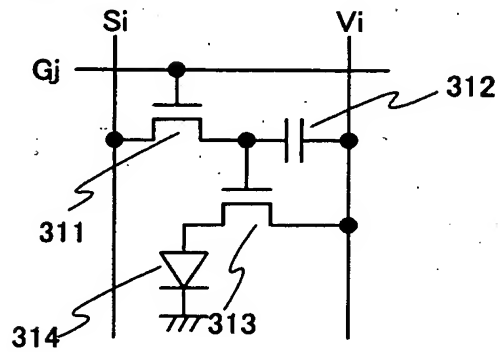
(B) 検査後



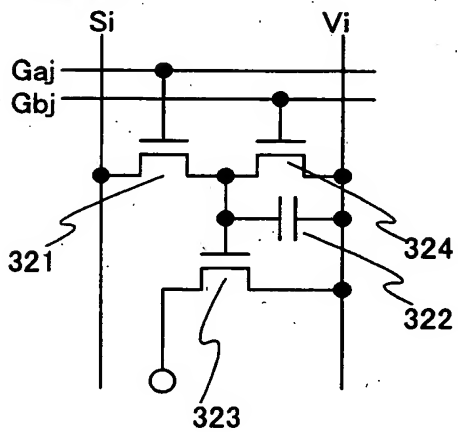
(C) 検査時



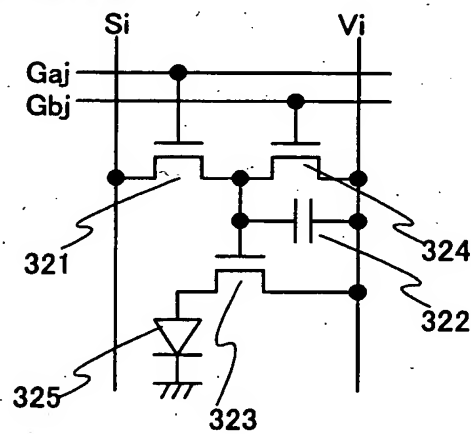
(D) 検査後



(E) 検査時

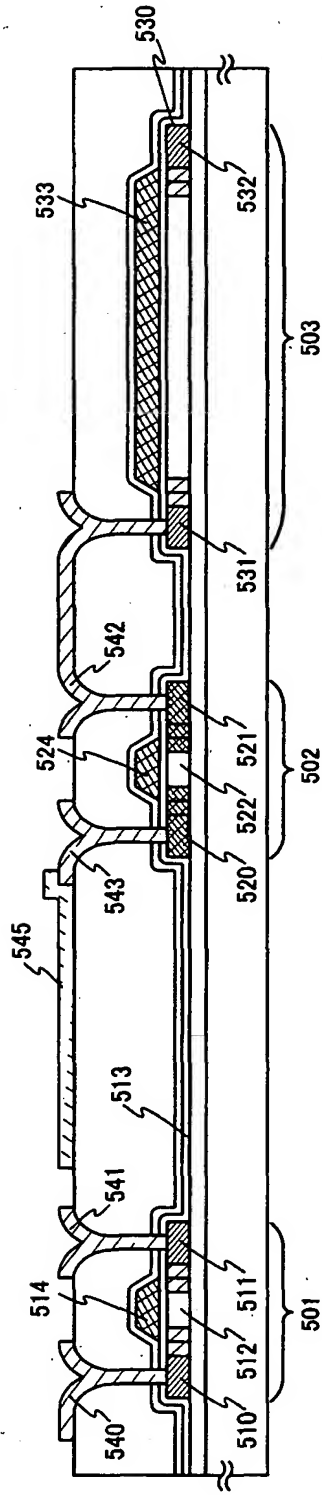


(F) 検査後

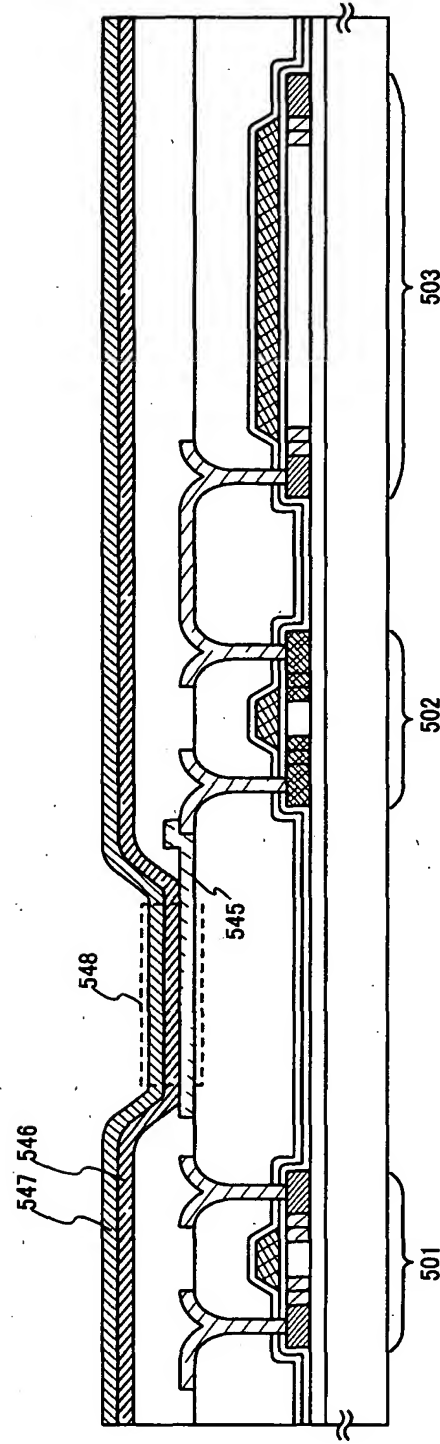


【図 8】

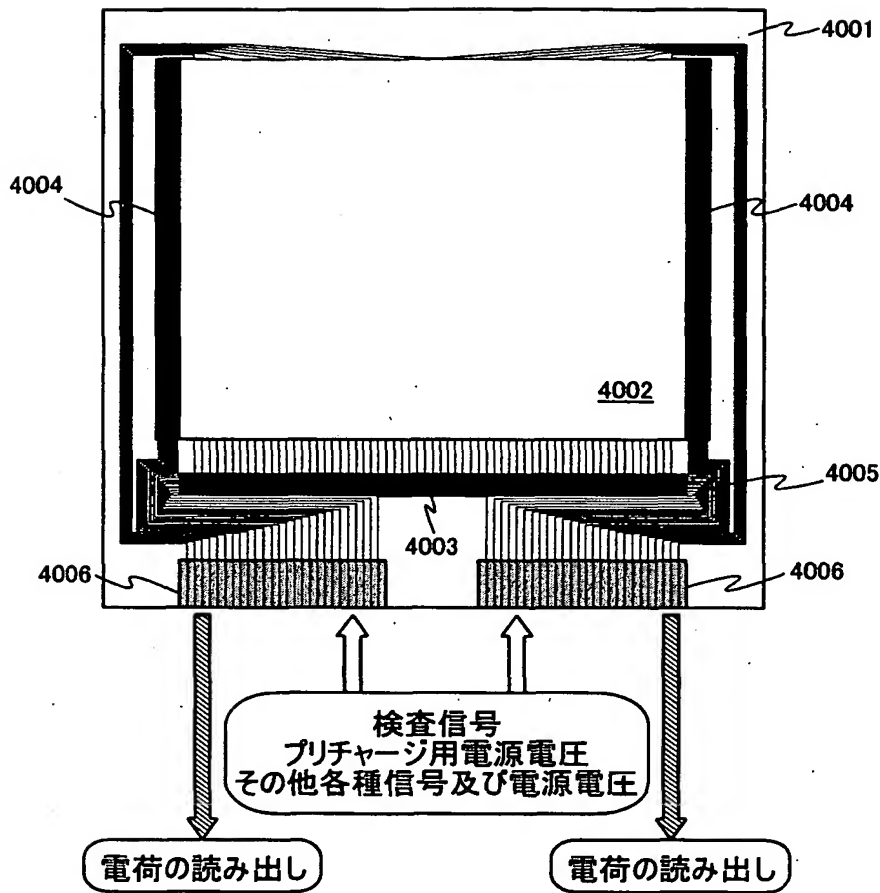
(A) 検査時



(B) 検査終了後

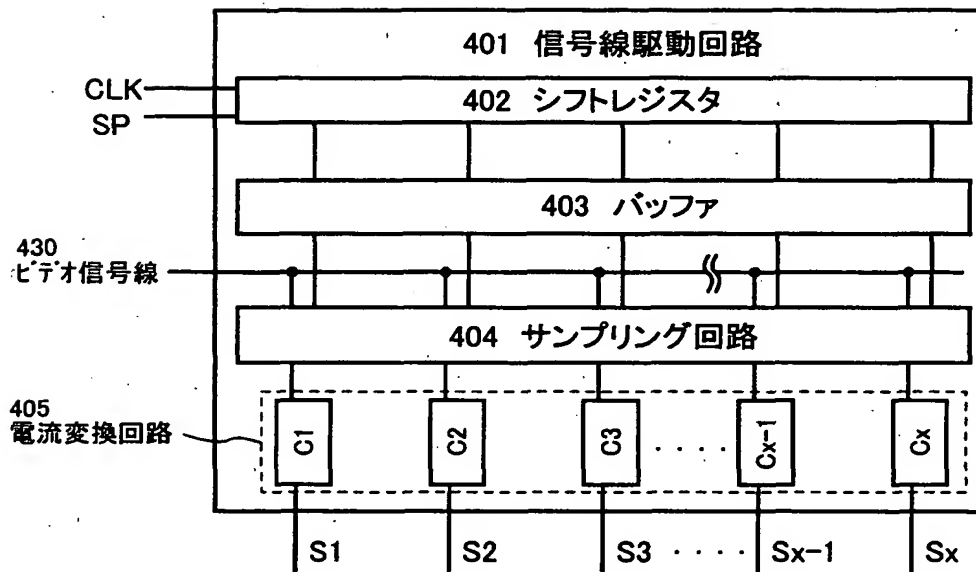


【図 9】

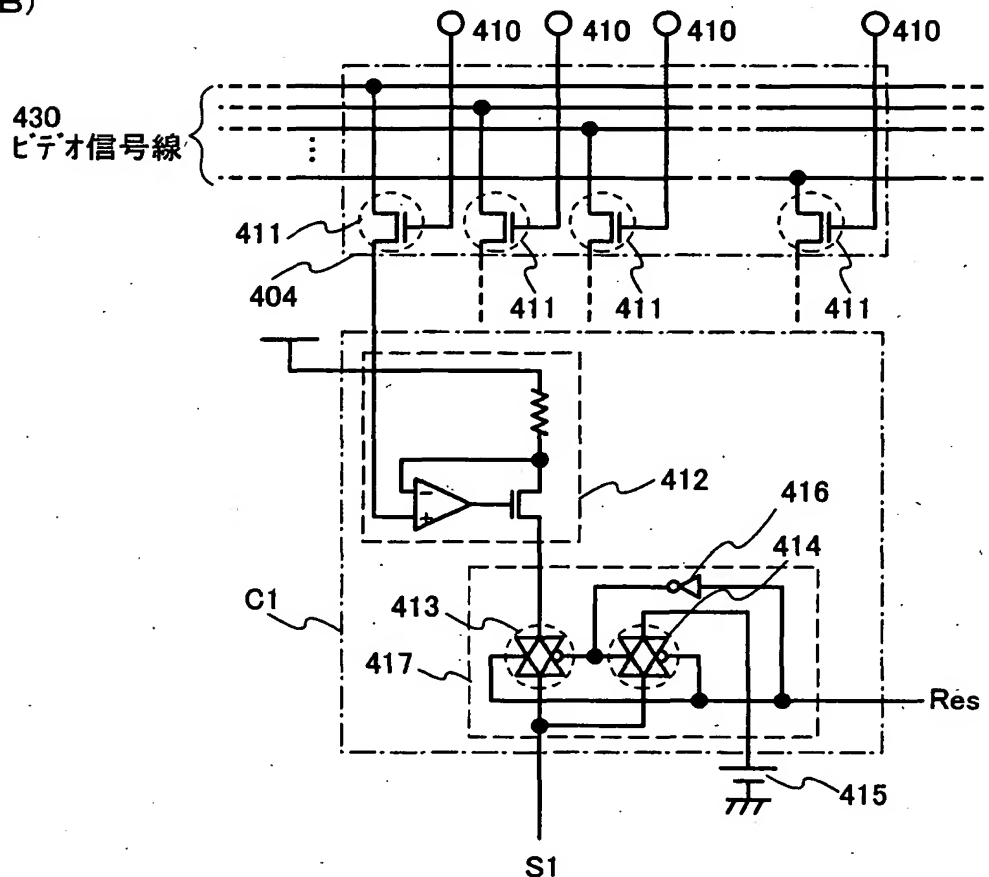


【図10】

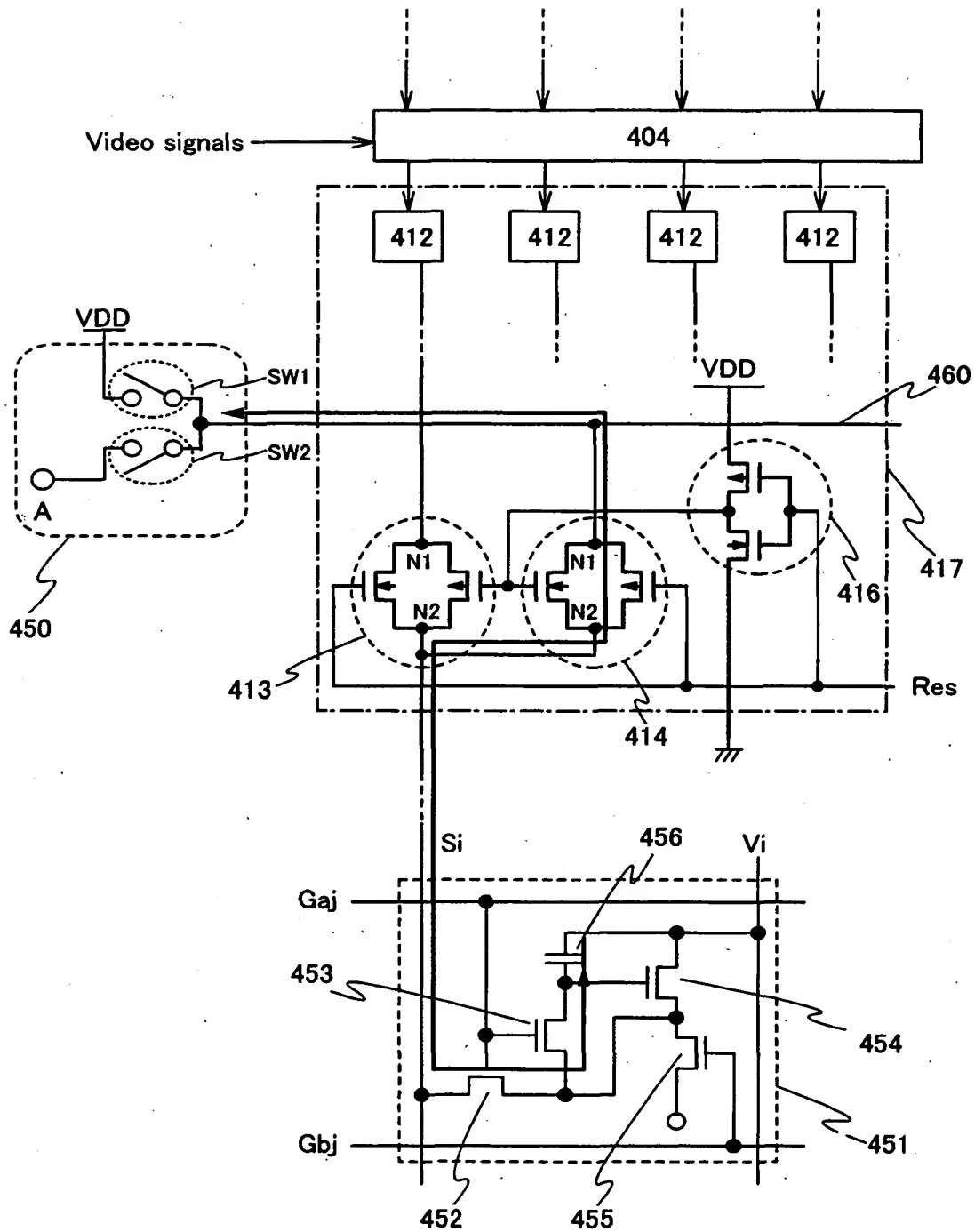
(A)



(B)

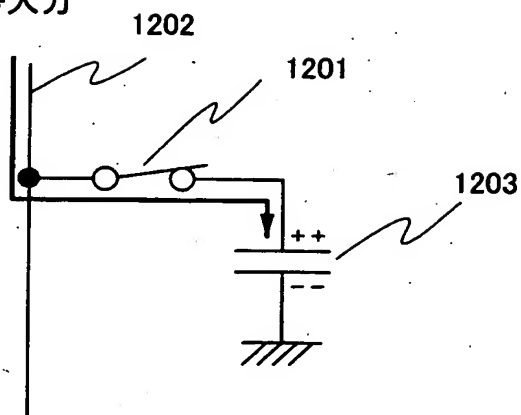


【図 11】

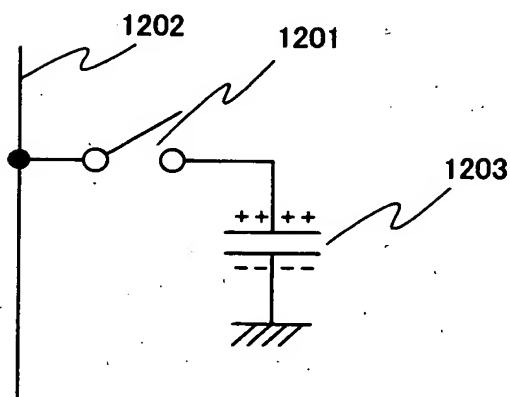


【図12】

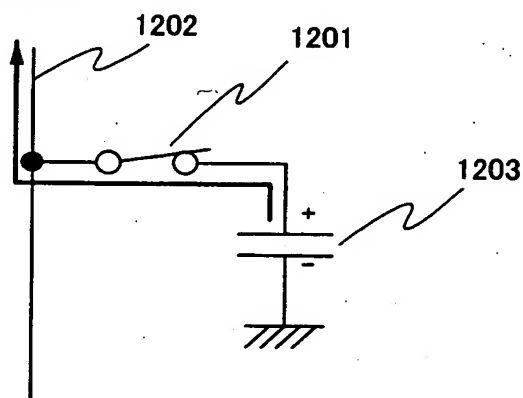
(A) 検査信号入力



(B) 電荷保持

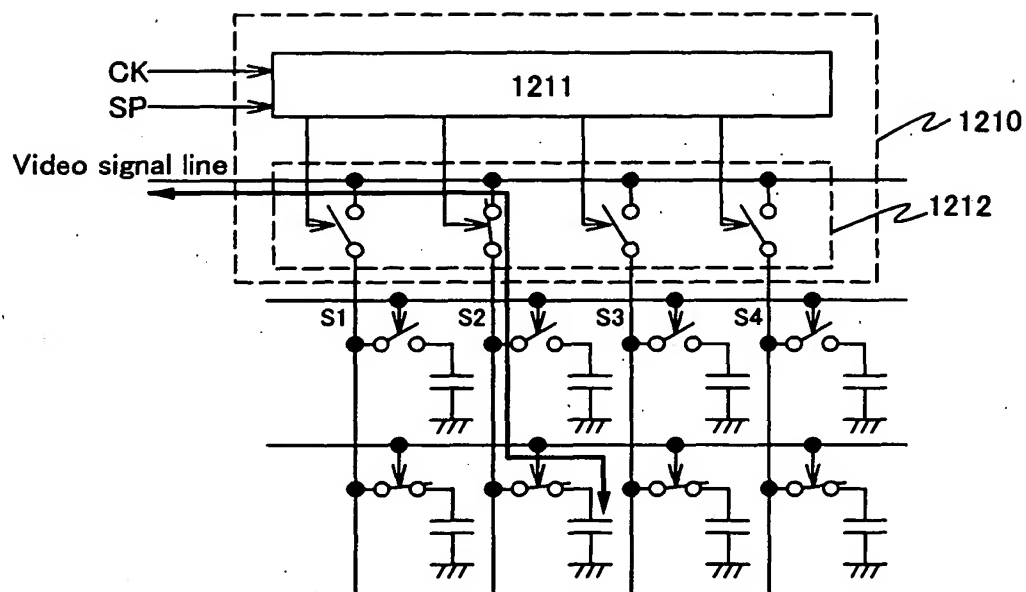


(C) 電荷の読み出し

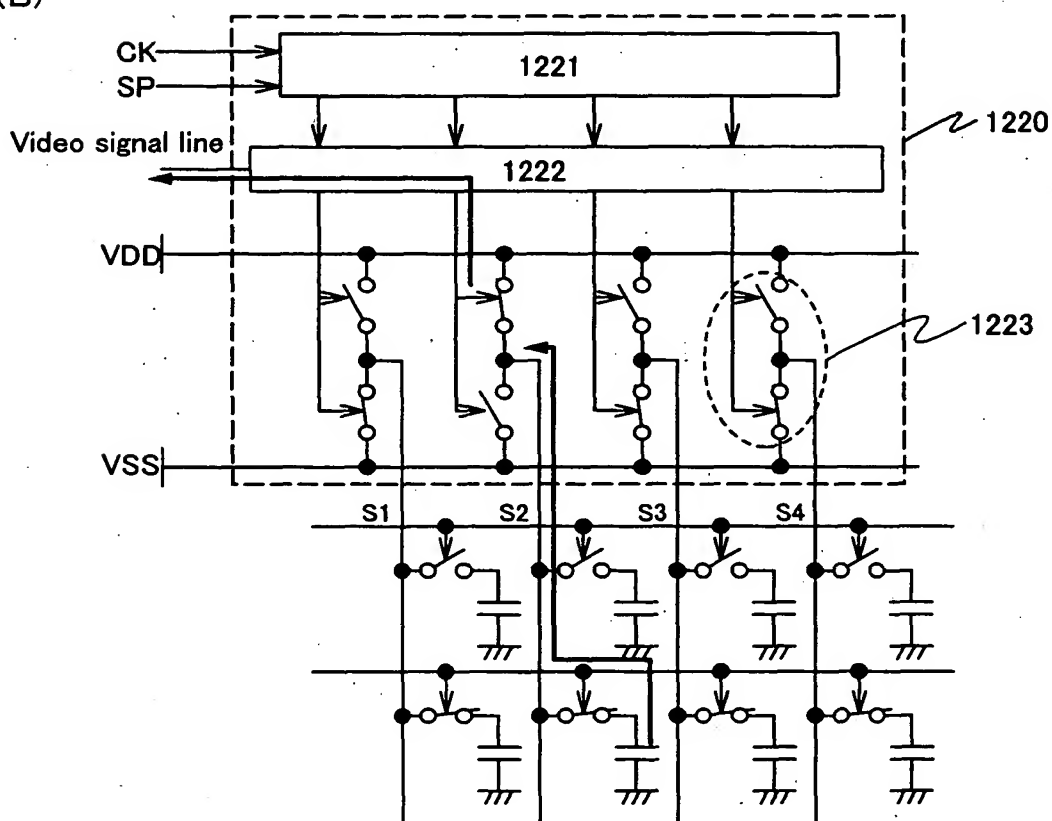


【図 13】

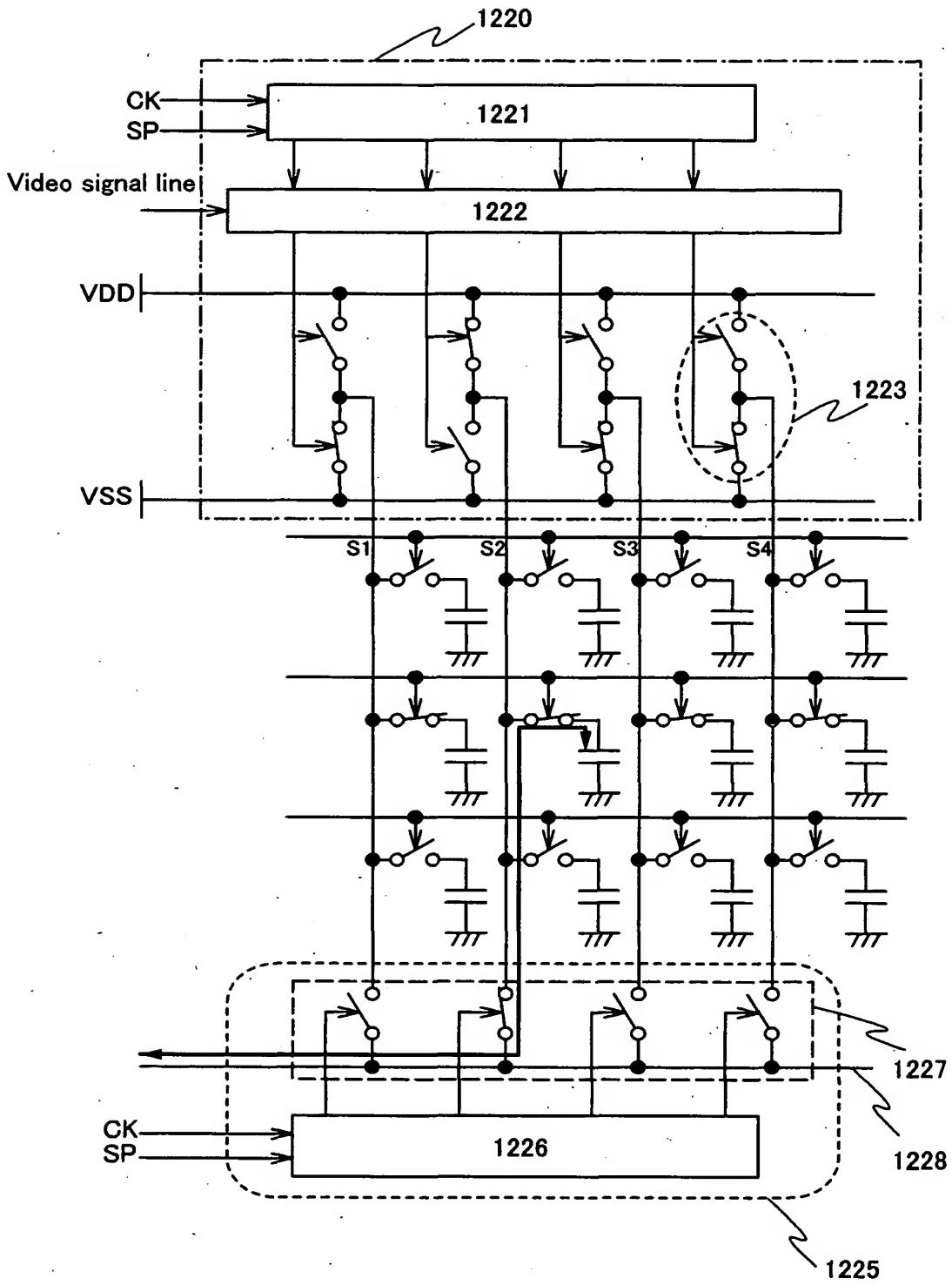
(A)



(B)



【図 14】



【書類名】 要約書

【要約】

【課題】 ビデオ信号線を電荷の読み出しの経路として用いず、なおかつ検査専用回路を別途設ずに、画素への信号の入力及び保持容量における電荷の保持が正常に行なわれるかどうかを確認することができる、半導体表示装置の電氣的検査方法の提供を課題とする。

【解決手段】 電源電圧の供給経路である電源線を、電荷の読み出しの経路として用いる。具体的には、信号線と接続することが可能な電源線を、各画素の保持容量への検査信号の入力及び各画素の保持容量からの電荷の読み出しの経路として用いることを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所